

LUMINOUS DISPLAY DEVICE

Publication number: JP2000089691

Publication date: 2000-03-31

Inventor: SHIOTANI MASA HARU

Applicant: CASIO COMPUTER CO LTD

Classification:

- international: G09F9/30; G09F13/22; G09F9/30; G09F13/22; (IPC1-7): G09F9/30; G09F13/22

- european:

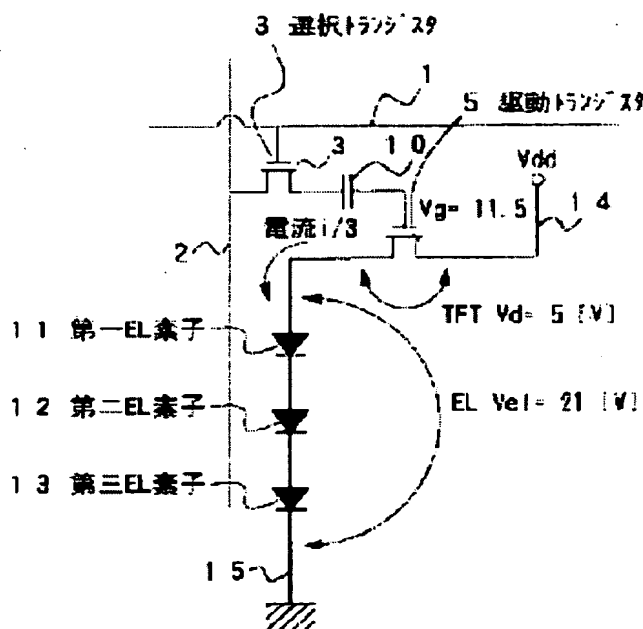
Application number: JP19980258772 19980911

Priority number(s): JP19980258772 19980911

Report a data error here

Abstract of JP2000089691

PROBLEM TO BE SOLVED: To reduce loss power in an active element controlling luminescence of respective pixels of an organic EL display device. **SOLUTION:** One pixel of an organic EL element is provided with two active elements of a selection transistor 3 and a drive transistor 5. Then, the selection transistor 3 is connected to a gate line 1 and a drain line 2. Further, the drive transistor 5 is connected to the selection transistor 3. Then, three first-third EL elements 11, 12, 13 are serially connected to the drive transistor 5. Then, even when a current flowing through respective EL elements 11, 12, 13 is reduced, required luminance is obtained. Then, the current flowing through the drive transistor 5 is reduced, and loss potential in the drive transistor 5 is lowered. Thus, the loss power in the drive transistor 5 is reduced.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-89691

(P2000-89691A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 9 F 9/30 13/22	3 6 5	G 0 9 F 9/30 13/22	3 6 5 Z 5 C 0 9 4 M 5 C 0 9 6

審査請求 未請求 請求項の数 3 O L (全 14 頁)

(21) 出願番号 特願平10-258772

(22) 出願日 平成10年9月11日 (1998.9.11)

(71) 出願人 000001443

カシオ計算機株式会社

東京都渋谷区本町1丁目6番2号

(72) 発明者 塩谷 雅治

東京都羽村市栄町3丁目2番1号 カシオ
計算機株式会社羽村技術センター内

(74) 代理人 100090033

弁理士 荒船 博司 (外1名)

Fターム(参考) 5C094 AA13 AA22 AA45 BA03 BA09

BA27 CA20 DB04 EA04 ED12

5C096 AA00 AA27 BA04 BB45 CC07

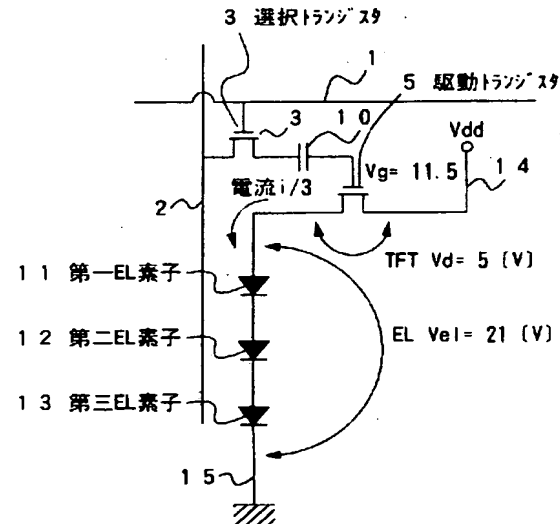
CC27 CC29 DC29

(54) 【発明の名称】 自発光表示装置

(57) 【要約】

【課題】 有機EL表示装置の各画素の発光を制御するアクティブ素子における損失電力を低減する。

【解決手段】 有機EL素子の一画素には、選択トランジスタ3と駆動トランジスタ5との二つのアクティブ素子が備えられている。そして、選択トランジスタ3がゲートライン1とドレインライン2とに接続されている。また、選択トランジスタ3に駆動トランジスタ5が接続されている。そして、駆動トランジスタ5に、三つの第一〜第三EL素子11、12、13が直列に接続されている。これにより、各EL素子11、12、13を流れる電流を低くしても、所望の輝度を得ることができる。そして、駆動トランジスタ5を流れる電流を低く抑えることができるとともに、駆動トランジスタ5における損失電位を低くすることができる。従って、駆動トランジスタ5における損失電力を低減することができる。



【特許請求の範囲】

【請求項1】 各画素毎にアクティブ素子を備え、該アクティブ素子により自発光素子を駆動する自発光表示装置において、一画素に自発光素子が複数個備えられとともに、これら複数個の自発光素子が電氣的に直列に上記アクティブ素子に接続されていることを特徴とする自発光表示装置。

【請求項2】 請求項1記載の自発光表示装置において、上記自発光素子のカソードが上記アクティブ素子に接続されていることを特徴とする自発光表示装置。

【請求項3】 請求項1または2記載の自発光表示装置において、上記アクティブ素子が、メモリ性を有するトランジスタとされていることを特徴とする自発光表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブ素子により駆動される自発光素子を備えた自発光表示装置に係り、特に低消費電力で表示が可能な自発光表示装置に関する。

【0002】

【従来の技術】自発光素子を用いた表示装置としては、エレクトロルミネッセンス（以下、ELと称する）素子を用いたもの、特に有機EL素子を用いたEL表示装置が知られている。上記有機EL素子は、幅広い電流密度領域に渡り、量子効率がほぼ一定となる特徴を有する。これは、有機EL素子の経時変化（高抵抗化・ダークスポット増加）および環境温度に関わらず、ほぼ安定している。この特徴を生かして、定電流駆動を実施することで、均一かつ高精度の輝度制御を行うことができる事が知られており、画像表示等の高精度表示においては、この方法を採用することが望ましい。

【0003】図13は、アクティブ駆動型の有機EL表示装置の一つの画素を示す回路の一例である。図13に示される有機EL表示装置の一画素においては、ゲートライン（選択ライン1）にゲート電極が接続され、ドレインライン（データライン2）にドレイン電極が接続された選択トランジスタ3（FET型のTFT）と、該選択トランジスタ3のソース電極にゲート電極を接続され、ドレイン電極にEL用電源が接続され、ソース電極にEL素子4の陽極が接続された駆動トランジスタ5（FET型のTFT）とが設けられている。そして、上記一画素には、上述のように陽極が駆動トランジスタ5に接続され、陰極が接地されたEL素子4が設けられている。

【0004】そして、このような有機EL表示装置においては、選択ライン1に電圧が印加されて、一列の画素が選択され、この一列の画素のうちの発光させるべき画素のデータライン2に電圧が印加される。これにより発光させるべき画素においては、選択トランジスタ3のド

レイン電極にデータライン2から電圧が印加されるとともに、選択トランジスタ3のゲート電極に選択ライン1から電圧が印加されることにより、選択トランジスタ3のソース電極から駆動トランジスタ5のゲート電極に電圧が印加されることになる。

【0005】そして、駆動トランジスタ5のドレイン電極にはEL用電源が常時接続された状態となっているので、駆動トランジスタ5のゲート電極に選択トランジスタ3のソース電極から閾値以上の電圧が印加されることにより、駆動トランジスタ5のソース電極からEL素子4に電流が流れ、EL素子4が発光することになる。また、選択トランジスタ3と駆動トランジスタ5との間には、図示しない付加容量があり、選択ライン1及びデータライン2からの電圧の印加が無くなり、選択トランジスタ3のソース電極から駆動トランジスタ5のゲート電極への電圧の印加が終わった後にも、上記付加容量により所定の時間、駆動トランジスタ5のゲート電極に閾値以上の電圧が印加され、EL素子4に電流が流されることになる。これにより、各画素が順次スキャンされてEL素子4が発光した後に、すぐにEL素子4の発光が終わってしまうことがなく、各画素にEL素子を発光させるデータを順次スキャンしながら入力するほぼ1フレーム分の間、各画素のEL素子4を発光させておくことが可能となっている。

【0006】

【発明が解決しようとする課題】ところで、TFT（thin film transistor）等のアクティブ素子を用いて各画素毎の有機EL素子を駆動しようとした場合には、例えば、トランジスタにより電流制限をかけるため、電力損失が生じ、消費電力が大きくなる。例えば、上述のような図13に示す回路においては、以下のように多くの電力がトランジスタで消費されることになる。

【0007】例えば、図13に示すような回路において、EL素子4の所定輝度を発光するための駆動条件を電圧 V_g と、電流 i とし、駆動トランジスタ5が図14に示されるような特性を有するものとする。なお、駆動トランジスタ5は、例えば、図14に示すような特性を有するものとした場合に、EL素子4を駆動するための所望のドレイン電流 i を確保して定電流特性を得るためには、ゲート電圧 $V_g = 2.0$ [V]が必要となり、このときの定電流領域は、ソース・ドレイン間の電圧であるドレイン電圧 V_d が1.0 [V]以上の場合となる。すなわち、駆動トランジスタ5となるTFTのドレイン・ソース間において、最低1.0 [V]の電位損失が必要となる。

【0008】以上のことから、駆動トランジスタ5における損失電力は、電流 i が流れるとともに電位損失が1.0 [V]以上であることから約 $1.0 i$ となる。また、EL素子4においては、 $7 i$ の電力が消費されることになる。そして、選択トランジスタ3が駆動トランジスタ5のゲート電極に電圧を印加するだけで、ほとんど電流が

流れないものとして、選択トランジスタ3における損失電力を無視すると、全消費電力は、 $10i + 7i$ となる。そして、全消費電力における駆動トランジスタ5の損失電力の割合は、 $10i / 17i = 10 / 17$ 、すなわち58.8%にも及ぶことになる。従って、低消費電力を実現するためにTFT駆動を採用するものとしても、このままでは、駆動トランジスタによる損失電力が大きく十分な効果を得ることができない。

【0009】本発明は上記事情に鑑みてなされたものであり、アクティブ素子による損失電力を低減することにより、低消費電力で画像表示が可能な自発光表示装置を提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の請求項1記載の自発光表示装置は、各画素毎にアクティブ素子を備え、該アクティブ素子により自発光素子を駆動する自発光表示装置において、一画素に自発光素子が複数個備えられ

るとともに、これら複数個の自発光素子が電気的に直列に上記アクティブ素子に接続されていることを特徴とする。

【0011】上記構成によれば、自発光素子が電流を流すことにより発光するものである場合に、一画素に複数個の自発光素子を備えることにより、各自発光素子に流れる電流の値を低くしても、一個の自発光素子に高い値の電流を流した場合と同様の輝度を得ることができる。これにより、複数個の自発光素子を電気的に直列にアクティブ素子に接続するものとした場合には、複数個の自然発光素子を合わせた輝度レベルと同じ輝度レベルの一個の自然発光素子をアクティブ素子に接続した場合に比較して、アクティブ素子に流れる電流の値を低くすることができ

るので、アクティブ素子における損失電力を低減することができる。従って、上述のような構成とすることにより、アクティブ素子における損失電力を低減して自発光表示装置全体の消費電力の低減を図ることができる。

【0012】なお、上記自発光素子とは、基本的に有機EL素子であるが、アクティブ素子により流れる電流を制御することで発光を制御することができる自発光素子であれば、有機EL素子以外であっても良い。また、上記アクティブ素子は、例えば、TFTであるが、上記有機EL素子は、電流が流れている間だけ発光し、アクティブ素子は基本的に外部からデータとなる信号が入力された間だけ電流を出力するので、例えば、上記従来例において選択トランジスタと駆動トランジスタと付加容量とを用いたように、データ信号が入力され終わった後も僅かな時間だけ、EL素子に電流が流れるようになった機構を有する必要がある。また、アクティブ素子として、入力されたデータ信号を記憶するメモリ性を有するダブルゲートメモリ薄膜トランジスタ（以後、DGM

10

20

30

40

50

憶されたデータに基づいて1フレーム分の時間の間に多数回、EL素子を光らせるようにして、1フレーム分の間は連続した表示を行うものとしても良い。

【0013】本発明の請求項2記載の自発光表示装置は、請求項1記載の自発光表示装置において、上記自発光素子のカソードが上記アクティブ素子に接続されていることを特徴とする。上記構成によれば、自発光素子のカソードがアクティブ素子に接続され、自発光素子のアノードが、例えば、自発光素子用の電源に接続されることになるとともに、アクティブ素子の端子の一つが接地されることになる。この際には、アクティブ素子をオンオフする信号の電位が、直接グラウンドレベルに対して定まるので、コントロール性、応答速度に優れる利点がある。例えば、自発光素子に接続されるアクティブ素子をトランジスタ（駆動トランジスタ）とした場合に、トランジスタの例えば、ソース（もしくはドレイン）に、自発光素子のカソードを接続し、ドレイン（もしくはソース）を接地した場合に、トランジスタのゲート電位が、直接グラウンドレベルに対して定まるので、コントロール性・応答速度に優れる利点がある。

【0014】本発明の請求項3記載の自発光表示装置は、請求項1または2記載の自発光表示装置において、上記アクティブ素子が、メモリ性を有するトランジスタとされていることを特徴とする。上記構成によれば、メモリ性を有するトランジスタを用いることにより、例えば、一回、自発光素子を発光させるか否かを示すデータの信号が書き込まれたメモリ性を有するトランジスタにおいて、各画素のアクティブ素子に順次データを出力する間に、発光を示すデータを記憶したアクティブ素子に接続された発光素子を多数回発光させるようにすることができる。

【0015】すなわち、二個のトランジスタと付加容量とを用いた場合には、発光すべき各画素の自発光素子が、ほぼ1フレーム分の時間の間、発光することにより、連続して画像を表示した状態に見せることを可能としているが、上述のメモリ性を有するトランジスタを用いた場合には、各画素にデータを入力していく際に、既に入力されたデータに基づいて、発光すべき画素の自発光素子が1フレーム分の間、多数回発光することになり、短時間の間に多数回発光させることで、発光すべき画素が連続して発光した状態に見せることが可能となるとともに、これにより連続して画像を表示した状態に見せることができる。そして、このようにすれば、各画素において、それぞれ一個のアクティブ素子により、自発光素子を制御することができるので、従来のように各画素において二つのトランジスタを用いた場合よりも、自発光表示装置の構成を簡略化することができる。

【0016】

【発明の実施の形態】以下に、本発明の実施の形態の第一例の自発光表示装置を図面を参照して説明する。図1

は第一例の自発光表示装置の一画素の構成を説明するための回路図であり、図2は上記一画素のEL素子のカソード及びキャパシタ電極10aを除いた平面構造を示すものであり、図3は上記一画素の平面構造を示すものであり、図4は従来例と第一例とでの駆動トランジスタにおける電位損失の違いを示すグラフであり、図5は従来例と第一例とでのEL素子の電流特性の違いを示すグラフである。

【0017】なお、第一例の自発光表示装置は、本発明を有機EL表示装置に応用したものであり、図1〜3に示されるような画素がマトリクス状に多数整列された状態で配設されることにより表示装置の表示部分が構成されるものである。そして、表示装置の表示部分の各画素のアクティブ素子に信号を出力するためのドライバや電源等が接続されることにより画像が表示可能なものであり、単色発光表示、多色発光カラー表示が可能な画像表示装置とすることができる。

【0018】図1に示すように、第一例の自発光表示装置の一画素においては、従来と同様に、選択ライン1にゲート電極が接続され、データライン2にドレイン電極が接続された選択トランジスタ3と、該選択トランジスタ3のソース電極にゲート電極を接続され、ドレイン電極にEL用電源が接続された駆動トランジスタ5とを備えている。選択トランジスタ3のソース電極と駆動トランジスタ5のゲート電極との間には付加容量10が介在されている。

【0019】そして、第一例においては、駆動トランジスタ5のソース電極に第一EL素子11と、第二EL素子12と、第三EL素子13とが直列に接続されている。そして、図2及び図3の一画素の平面構造を参照して、一画素の構造をより具体的に説明すると、例えば、画素の横の各行毎に選択ライン1が左右に延在して配置され、画素の縦の各列毎にデータライン2が前後に延在して配置されている。また、画素の縦の列毎にEL用の電源に接続されたEL電源ライン14が前後に延在して配置され、画素の横の行毎に接地されたGNDライン15が左右に延在して配置されている。

【0020】そして、上述のように選択トランジスタ3のドレイン電極がデータライン2に接続され、選択トランジスタ3のゲート電極が選択ライン1に接続されている。また、選択トランジスタ3のソース電極は、接続ライン16を介して駆動トランジスタ5に接続されている。また、駆動トランジスタ5は、上述のように、そのゲート電極が接続ライン16を介して選択トランジスタ3のソース電極に接続されるとともに、そのドレイン電極がEL電源ライン14に接続されている。そして、駆動トランジスタ5のソース電極に、第一EL素子11のアノード11aが接続され、第二EL素子12のアノード12aが第一EL素子11のカソード11bに接続され、第三EL素子13のアノード13aが第二EL素子

12のカソード12bに接続され、第三EL素子13のカソード13bがGNDライン15に接続されている。

【0021】また、上記各部材は、図示しないガラス基板上に設けられるとともに、ガラス基板上には、第一〜第三EL素子11、12、13の発光部11c、12c、13cを除く部分に、例えば、酸化クロム等からなる反射防止膜としてのブラックマスク21が形成されている。そして、ブラックマスク21には、EL素子の発光部11c、12c、13cに対応する部分に開口部が形成されている。

【0022】また、第一〜第三EL素子11、12、13のアノード11a、12a、13aと、カソード11b、12b、13bとの間には、基本的に層間絶縁膜が形成されるとともに、層間絶縁膜には、第一〜第三EL素子11、12、13の発光部11c、12c、13cの部分に開口部が設けられるとともに、第二EL素子12のアノード12aと第一EL素子11のカソード11bとが接続され部分と、第三EL素子13のアノード13aと第二EL素子12のカソード12bとが接続される部分にコンタクトホールとしての開口部が形成されている。

【0023】また、上記層間絶縁膜が第一〜第三EL素子11、12、13の発光部11c、12c、13cの周縁部に重なって発光部11c、12c、13cを囲んだ状態となっており、層間絶縁膜により発光部11c、12c、13cの実際に表示に寄与して発光する発光領域の範囲が規制された状態となっている。上記選択トランジスタ3及び駆動トランジスタ5は、周知のFET型のTFTである。

【0024】また、第一〜第三EL素子11、12、13は、周知の有機EL層を有するものであり、例えば、ITOからなる透明なアノード11a、12a、13aと、仕事関数の低い金属等の元素からなるカソード11b、12b、13bと、これらの間にそれぞれ挟まれた発光部11c、12c、13cとからなり、該発光部11c、12c、13cは、周知の有機EL層として、正孔輸送層、発光層、電子輸送層等からなるものである。

【0025】また、各画素の第一〜第三EL素子11、12、13の発光部11c、12c、13c（発光領域）は、基本的に、従来のEL表示装置において、一画素に一つのEL素子を設けた際のEL素子の発光部（発光領域）における輝度と同様の輝度を出せるように、従来のEL表示装置と第一例の自発光表示装置とが略同様の規格のものであると仮定した場合に、従来の一画素に一つ設けられたEL素子の発光部の面積と、第一例の第一〜第三EL素子11、12、13の三つの発光部11c、12c、13cを合わせた面積とが略同じになるようになっている。すなわち、第一〜第三EL素子の発光部11c、12c、13cは、一つの画素に必要な輝度の一つの発光部を三つに分割した状態となっている。な

お、これは本発明の一例としてであり、本発明は、基本的に一面素に複数のE L素子が配置され、各E L素子がアクティブ素子に直列に繋がれていれば良く、従来より各画素の輝度を高くするものとしても良い。

【0026】また、第一〜第三E L素子11、12、13の発光部11c、12c、13cは、縦一列に互いに離間して配置された状態とされるとともに、上下の画素の列において、各画素間に渡って発光部11c、12c、13cが互いに等間隔に配置されるようになっている。また、自発光表示装置は、ここではカラー表示を行うものであり、RGBの三原色の表示を行うための三種類の画素を備え、かつ、同じ色の画素が縦一列又は横一行に配置されるとともに、各縦の列又は横一行がRGBの各色を繰り返すように配置されている。また、上述のように各発光部11c、12c、13cの周囲は、ブラックマスクが配置された状態となっており、ブラックマスクにより黒を表現する(黒レベルを確保する)ようになっている。

【0027】また、上記選択トランジスタ3のソース電極と駆動トランジスタ5のゲート電極との間には、図3に示すように、付加容量10が設けられている。なお、付加容量10は、E L電源ライン14に沿った接続ライン16とその上に設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられたキャパシタ電極10aと、から構成されている。キャパシタ電極10aは、ゲート絶縁膜に設けられたコンタクトホールを介してGNDライン15の引き出し線部15aに接続されている。なお、付加容量10は、上述のものに限られるものではなく、どのような形でも静電容量を有し、選択ライン1もしくはデータライン2の電圧がしきい値未満となった後も所定の間、駆動トランジスタ5のゲート電極に印加する電圧を保持できるものならば良い。

【0028】そして、以上のように一つの画素における一つのE L素子を三つに分割した状態に第一〜第三E L素子11、12、13を設け、これら第一〜第三E L素子11、12、13を直列に駆動トランジスタ5に接続した場合には、以下のよう作用効果を得ることができる。まず、上述のように第一〜第三E L素子11、12、13が、従来の自発光表示装置のE L素子一つを三つに分割した状態と改を有するものとした場合に、第一〜第三E L素子11、12、13の駆動電圧は、上述した従来の場合と比べて7[V]となる。そして、これら第一〜第三E L素子11、12、13を直列に接続した場合には、合計21[V]の駆動電圧が必要となる。

【0029】一方、有機E L素子は電子と正孔の再結合に起因して発光するため、一般に有機E L素子の発光輝度は流れる電流にほぼ比例する。ここで第一〜第三E L素子11、12、13を駆動するのに必要な電流は、それぞれの素子において、従来例のE L素子が所定輝度で発光するのに必要な電流を1とした場合に、その三分の

一の $i/3$ で良い事になる。これは、上述のように、従来のE L素子(発光部)の面積と第一例の第一〜第三E L素子11、12、13(発光部11c、12c、13c)を合わせた面積とがほぼ同じ、すなわち、従来のE L素子(発光部)の面積に対する第一例の第一〜第三E L素子11、12、13(発光部11c、12c、13c)の面積をそれぞれ $1/3$ と設定しているため、第一〜第三E L素子11、12、13の各発光領域の単位面積あたりに流れる電流が従来のそれと等しいからである。

【0030】さらに、駆動トランジスタ5の電流-電圧特性を図4に示すようなものと設定した場合に、従来、駆動トランジスタ5から一つのE L素子に流すための電流 i を確保して定電流特性を得るためには、ゲート電圧が $V_g = 20[V]$ 必要であり、また、この時の定電流領域は、 V_d が $10[V]$ 以上であり、駆動トランジスタ5において最低 $10[V]$ の電位損失が必要であった。それに対して、第一例においては、駆動トランジスタ5から三つのE L素子11、12、13に流すための電流 $i/3$ を確保して定電流特性を得るためには、ゲート電圧が $V_g = 11.5[V]$ 必要であり、また、この時の定電流領域は、 V_d が $5[V]$ 以上であり、駆動トランジスタ5において最低 $5[V]$ の電位損失が必要となる。すなわち、従来、駆動トランジスタ5における電位損失が $10[V]$ であったものを第一例においては $5[V]$ に減少させることができる。

【0031】従って、駆動トランジスタ5における損失電力は、 $(5/3)i = \text{約}1.67i$ となり、従来の $10i$ に比較して約 $1/6$ に軽減できることになる。また、全消費電力中における駆動トランジスタ5の損失電力の割合は、以下ようになる。選択トランジスタ3が駆動トランジスタ5のゲート電極に電圧を印加するだけで、他の素子と比べ電流があまり流れないので、選択トランジスタ3における損失電力を無視すると、E L素子の一面素での全消費電力は、三つのE L素子11、12、13の消費電力と、駆動トランジスタ5の損失電力と和となる。

【0032】従って、全消費電力中における駆動トランジスタ5の損失電力の割合は、駆動トランジスタ5における損失電力 $(5/3)i$ を駆動トランジスタの損失電力 $(5/3)i$ と三つのE L素子11、12、13における消費電力 $7[V] \times (i/3)[A] \times 3$ との和で割った値、すなわち、 $((5 \times (i/3)) / ((5 + 21) / (i/3))) = \text{約}19\%$ となる。以上により、自発光表示装置の各画素の三つの第一〜第三E L素子11、12、13が合わせて従来の一つの画素に一つだけ設けられたE L素子と同様の輝度で発光するものとした場合に、駆動トランジスタ5における損失電力を大幅に削減し、自発光表示装置における消費電力の低減を図ることができる。また、従来に比較して、各画素の輝度を

高めるものとしても、消費電力の増加を防止することができる。

【0033】また、第一例の自発光表示装置においては、ブラックマスクにより黒を表現する（黒レベルを確保する）ようになっているので、黒を表現するために、自発光表示装置の自発光素子の前に光を吸収するフィルタ（偏光フィルタ等を含む）配置した場合のように、フィルタに自発光素子の光の一部が吸収されてしまうようなことなく、自発光素子の発光をフィルタに吸収されることなく、表示光として用いることができるので、所望の輝度を得るために必要な消費電力をフィルタを用いた場合に比較して低くすることができる。

【0034】また、ブラックマスクを用いた場合には、画素のピッチが有る程度狭く、かつ、画素全体の面積中におけるブラックマスクを除いた発光する発光領域（E L素子部分）の面積の割合が小さいと、互いに隣り合う発光領域間の間のブラックマスクの幅が広くなり、この幅が人間の目で認知可能なものとなり、例えば、各色の発光部を発光させて白を表現させた場合に、白黒の縞模様が見えるような状態になる可能性がある。

【0035】しかし、上述のように一画素中における発光部となるE L素子を複数にするとともに、互いに離間して配置するようにすれば、ブラックマスク中に複数の発光領域が離間して配置されることにより、ブラックマスクの幅が狭くなり、人間に認知できない幅とすることが可能となる。従って、ブラックマスクを用いるものとしても、ブラックマスクによる縞模様や格子模様の出現を避けることが可能となり、低消費電力で高品位な表示を可能とすることができる。

【0036】また、上述のように、画素に一つだけ設けられた従来のE L素子をほぼ三分割したのと同様のE L素子を三つ設け、これを直列に接続した場合には、E L素子における静電容量成分C_{el}が以下のように大幅に減少することになる。また、画素に一つだけE L素子を設けた場合のE L素子の静電容量をC₁とし、第一例の三つのE L素子の静電容量を合わせた合成容量をC₃とし、第一例の三つのE L素子のうちの一個のE L素子の静電容量をC₂とする。

【0037】そして、E L素子1個当たりの静電容量C₂は、従来のE L素子を三分割したのと同様の構成、すなわち、E L素子の面積が従来のほぼ1/3としているので、 $C_2 = C_1 / 3$ となる。そして、この第一例のE L素子を直列三段で合成した場合の合成容量C₃は、 $C_3 = 1 / (1 / C_2 + 1 / C_2 + 1 / C_2)$
 $= C_1 / 9$

となり、従来の1/9の静電容量となる。

【0038】そして、第一例のE L素子からなるE L部における蓄積電荷Q₃は、第一例のE L素子一つにかけられる電圧をV（上述のように従来のE L素子にかけられる電圧と同じ）とした場合

$$Q_3 = C_3 \times (3 \times V) \\ = C_1 \times V / 3$$

となり、従来の1/3となる。

【0039】そして、一般に、静電容量による充電/放電現象により、E L素子の発光に寄与する実行電流は減少する。特に、立ち上がり/立ち下がりにおいて、その減少率が極めて大きくなり、結果として、E L素子の発光応答性を著しく悪化させる。第一例においては、上述のように従来に比較して、例えば、静電容量を1/9に減少させることが可能であり、E L素子の応答特性を大きく改善できる。

【0040】すなわち、このように静電容量を減少させた場合に、図5（A）に示す従来のE L素子においては、立ち上がり時に電流がすぐにピークに至らずになだらかに立ち上がり、立ち下がり時に電流がすぐに低下せずに尾を引いた状態となるのに対して、図5（B）に示す第一例の三段直列のE L素子においては、立ち上がり時に、電流がすぐにピークに至り、立ち下がり時もほとんど尾を引かない状態とすることができる。従って、第一例の三段直列のE L素子においては、高速応答・正確な輝度制御が実現でき、高品位表示に有用である。

【0041】次に、本発明の実施の形態の第二例を図面を参照して説明する。図6は第二例の自発光表示装置の一画素の構成を説明するための回路図であり、図7は上記一画素のE L素子のカソードを除いた平面構造を示すものであり、図8は上記一画素の平面構造を示すものであり、図9は上記一画素の一部の断面構造を示すものである。

【0042】なお、第二例の自発光表示装置は、第一例の自発光表示装置が、E L素子のアノードをアクティブ素子に接続していたのに対して、E L素子のカソードをアクティブ素子に接合したものであり、その他の点については、第一例の自発光表示装置と同様の構成を有するものである。また、第二例の自発光表示装置において、第一例の自発光表示装置と同様の構成要素には、同一の符号を付すとともに、その説明を一部省略する。

【0043】図6に示すように、第一例の自発光表示装置においては、第一例と同様に、選択トランジスタ3と、駆動トランジスタ5とを備えている。そして、第二例においては、駆動トランジスタ5のソース電極が接地され、ドレイン電極に第一E L素子11と、第二E L素子12と、第三E L素子13とが直列に接続され、さらに、第一E L素子11と、第二E L素子12と、第三E L素子13とが直列にE L用電源に接続されている。また、図7及び図8の一画素の平面構造を参照して、一画素の構造をより具体的に説明すると、例えば、第一例と同様に、選択ライン1と、データライン2と、E L電源ライン14と、GNDライン15とが配置されている。なお、第二例においては、E L電源ライン14の位置と、GNDライン15の位置とが第一例の場合と入れ替

わった状態となっている。

【0044】そして、上記のように選択トランジスタ3のドレイン電極3g(図9に図示)がデータライン2に接続され、選択トランジスタ3のゲート電極3a(図9に図示)が選択ライン1に接続されている。また、選択トランジスタ3のソース電極3b(図9に図示)は、ゲート絶縁膜23に設けられたコンタクトホールを介して接続ライン16の一端に接続され、接続ライン16の他端は駆動トランジスタ5のゲート電極5a(図9に図示)に接続されている。

【0045】また、駆動トランジスタ5は、上述のように、そのゲート電極5aに接続ライン16が接続されるとともに、ドレイン電極5g(図9に図示)にGNDライン15が接続されている。そして、駆動トランジスタ5のソース電極5b(図9に図示)に、第一EL素子11のカソード11bが接続され、第二EL素子12のカソード12bが第一EL素子11のアノード11aに接続され、第三EL素子13のカソード13bが第二EL素子12のアノード12aに接続され、第三EL素子13のアノード13aが第一電源ライン14に接続されている。付加容量10は、GNDライン15に沿った接続ライン16とその上に設けられたゲート絶縁膜23と、ゲート絶縁膜23上に設けられ、引き出し線14aとコンタクトホールを介して接続されたキャパシタ電極10aと、から構成されている。

【0046】また、図10の断面構造に示すように、自発光表示装置の各画素は、ガラス基板20上に形成されるものであり、ガラス基板20上には、発光部11c、12c、13cの発光領域(図9においては11cだけを図示)を除く部分にブラックマスク21(例えば、反射防止膜としての酸化タングステン)が形成されている。そして、このブラックマスク21の屈上に、絶縁膜22が形成されている。そして、絶縁膜22上の選択トランジスタ3及び駆動トランジスタ5となる部分に表面に陽極酸化膜を有するゲート電極3a、5aが形成されている。

【0047】そして、上記のようにゲート電極3a、5aが形成された絶縁膜22上を、ゲート電極3a、5aも覆ってしまうようにゲート絶縁膜23(例えば、SiN)が形成されている。ゲート絶縁膜23の下には、選択トランジスタ3のゲート電極3aに接続される選択ライン1(図9に図示)(図9に図示略)や、選択トランジスタ3のソース電極3b、駆動トランジスタ5のゲート電極5aとを繋ぐ接続ライン16(ゲート配線となる、例えば、Al合金)や、第一電源ライン14等が形成されている。なお、図9においては、接続ライン16とゲート電極5aとは離れているが、図8等に示すように接続されている。

【0048】そして、ゲート絶縁膜23上に、選択トランジスタ3及び駆動トランジスタ5のチャネルが形成される領域となるチャンネル形成領域3c、5c(真性半導体層)

が形成され、その上にブロッキング層3d、5dが形成され、該ブロッキング層3d、5dの左右にドレイン領域3e、5e(n+Si)とソース領域3f、5f(n+Si)とがそれぞれ形成されている。また、ドレイン領域3e、5e上にドレイン電極3g、5g(例えば、Al合金)が設けられ、ソース領域3f、5f上にソース電極3b、5bが設けられている。

【0049】また、上述のように、選択トランジスタ3のドレイン電極3gは、図9に図示しないデータライン2に接続され、ソース電極3bは、接続ライン16に接続されている。また、上述のように、駆動トランジスタ5のドレイン電極5gは、図9に図示しないGNDライン15に接続され、ソース電極5bは、第一EL素子11のカソード11bに接続されている。

【0050】また、上記ゲート絶縁膜23上には、第一～第三EL素子11、12、13のアノード11a、12a、13a(例えば、ITO、図9においては、一つのアノード11aだけを図示)が形成されている。なお、第三EL素子13のアノード13aは、図7等に示すようにEL電源ライン14に接合される。そして、上記ゲート絶縁膜23上に形成された選択トランジスタ3、駆動トランジスタ5及びアノード11a、12a、13a上には、オーバーコート層24(例えば、SiN)が形成されている。なお、オーバーコート層24は、選択トランジスタ3及び駆動トランジスタ5を保護するとともに、アノード11a、12a、13aとカソード11b、12b、13bとの間の上記層間絶縁膜となるものである。

【0051】そして、上記オーバーコート層24には、上記駆動トランジスタ5のソース電極5bと、第一EL素子11のカソード11bとを接合する部分、発光部11c、12c、13cとなる有機EL層がアノード11a、12a、13aに接合する部分(発光領域、なお、図9においては、一つのアノード11aに発光部11cが接続する部分だけを図示)、アノード11a、12aにカソード12b、13bが接合する部分(図9において図示略)にそれぞれコンタクトホール等となる開口部が形成されている。

【0052】また、オーバーコート層24(層間絶縁膜)の開口部の周縁部は、開口部が上に向かうにつれて広くなるようにテーパー状に形成されている。そして、上記アノード11a、12a、13a上のオーバーコート層24(層間絶縁膜)の開口部の部分に開口部より広い範囲に渡って発光部11c、12c、13cとなる有機EL層が形成されている。そして、この有機EL層である発光部11c、12c、13c上にそれぞれ発光部11c、12c、13cより広い範囲に渡ってカソード11b、12b、13bが形成されている。なお、第一EL素子11のカソード11bは駆動トランジスタ5のソース電極5bに至るように形成されてソース電極5bに

接続され、第二E L素子12のカソード12bは第一E L素子11のアノード11aに至るように形成されてアノード11aに接合され、第三E L素子13のカソード13bは第二E L素子12のアノード12aに至るように形成されてアノード12aに接合される。

【0053】また、上述のようにオーバーコート層24（層間絶縁膜）のアノード11a、12a、13a上の開口部の周縁部がテーパ状になっているので、この周縁部上に形成された発光部11c、12c、13c及びカソード11b、12b、13bは、上記テーパの角度に沿ってアノード11a、12a、13aに至り、オーバーコート層24の開口部で、アノード11a、12a、13aに対向するようになっている。そして、上記開口部の周縁部のテーパの角度、すなわちアノード11a、12a、13aが形成された面と、オーバーコート層24の開口部の周縁部の内面とがなす角度θは、20度～50度となっている。

【0054】従って、オーバーコート層24が形成された後に形成される上記発光部11c、12c、13c及びカソード11b、12b、13bは、上記20度～50度の角度でアノード11a、12a、13aに至り、アノード11a、12a、13aに対向する部分でアノード11a、12a、13aと平行となる。そして、カソード11b、12b、13b及びオーバーコート層24上には、パッシベーション層25が形成され、該パッシベーション層25が、その下の各層を保護するようになっている。

【0055】このような構成を有する第二例の自発光表示装置によれば、第一例の自発光表示装置と同様の作用効果を奏することができるとともに、さらに、直列に繋がれた複数の第一～第三E L素子11、12、13のうちの一端側の第一E L素子11のカソード11bが駆動トランジスタ5のソース電極5bに接続されることにより、他端側の第三E L素子13のアノード13aがE L電源ライン14に接続され、駆動トランジスタ5のドレイン電極5gがGNDライン15に接続されて接地されているので、駆動トランジスタ5のゲート電位が直接GNDレベルに対して定電圧の電圧をコントロール性、応答速度に優れたものとする事ができる。

【0056】なお、第一例においては、その断面構造を図示しなかったが、第一例の自発光素子の断面構造は、第二例の断面構造において、駆動トランジスタ5のソース電極5bに第一E L素子11のカソード11bが接続されていたのに対して、カソード11bがソース電極5bに接続されず、ソース電極5bは第一E L素子11のアノード11aが形成された位置となった以外、ほぼ同様の断面構造を有するものである。なお、それ以外にも、図9に図示された構成においては、上述のように、第一例と第二例との異なる部分がある。

【0057】次に、図10の構成の形態の第三例の自

発光表示装置を図面を参照して説明する。図10は第三例の自発光表示装置の一画素の構成を説明するための回路図であり、図11及び図11は第三例の自発光表示装置の駆動方法を説明するための複数画素を含む回路図である。

【0058】なお、第三例の自発光表示装置は、第一例の自発光表示装置の選択トランジスタ3と駆動トランジスタ5と付加容量10とに代えて、一つのDGメモリTF T35を用いたものであり、その他の点については、第一例の自発光表示装置とほぼ同様の構成を有するものである。また、第三例の自発光表示装置において、第一例の自発光表示装置と同様の構成要素には、同一の符号を付すとともに、第三例の自発光表示装置において第一例と同様の構成については、その説明を一部省略する。

【0059】図10に示すように、第三例の自発光表示装置においては、選択ライン1（Select）に第一ゲート電極31が接続され、データライン2（Data）に第二ゲート電極32が接続され、E L電源ライン14にドレイン電極33が接続され、第一E L素子11にソース電極34が接続されたDGメモリTF T35を備えている。そして、駆動トランジスタ5とDGメモリTF T35とが異なる以外は、第一例と同様に、三つの第一～第三E L素子11、12、13がソース電極34に直列に接続されている。すなわち、ソース電極34に、第一例の図3に示される構造と同様に、第一E L素子11のアノード11aが接続され、第二E L素子12のアノード12aが第一E L素子11のカソード11bに接続され、第三E L素子13のアノード13aが第二E L素子12のカソード12bに接続され、第三E L素子13のカソード13bが接地され、すなわち、GNDライン15に接続されている。

【0060】上記DGメモリTF T35は、ゲートを二つ有するとともに、キャリアをトラップすることにより、メモリ性を有するものとなっている。そして、DGメモリTF T35においては、例えば、可視光が入射されると電子-正孔を内部に発生させるチャネル領域（i-a-Si）と、該チャネル領域上の左右側部にそれぞれ形成されたソース領域及びドレイン領域（n+Si）と、ソース領域、ドレイン領域の接続されたソース電極34、ドレイン電極33と、上記チャネル領域より基板側にチャネル領域との間に下部ゲート絶縁膜を介して設けられた透明な下部ゲート電極（第一ゲート電極31）と、上記チャネル領域の上方側、すなわち、基板の反対側に、チャネル領域との間に上部ゲート絶縁膜を介して設けられた上部ゲート電極（第二ゲート電極32）を備えたものである。なお、下部ゲート電極と上下ゲート電極とは、回路図上で上下逆になっている。

【0061】そして、上記下部ゲート絶縁膜は、SiNからなるとともに、その表層部（チャネル領域に接する側）に、ストイオキメトリなSiとNとの比が3：4な

のに対して、S₁とNとの間をストイオキメトリからずらして、1:1程度としたミリッチなトラップ領域が形成されている。そして、このトラップ領域は、キャリア（正孔、電子）をトラップすることができるようになっている。

【0062】このようなnチャネル型DGメモリTF₃T₃5は、例えば、第二ゲート電極32のゲート電圧を0Vとするとともに、ソース・ドレイン間に電圧を印加した状態で、例えば、第一ゲート電極31のゲート電圧を上げていった場合のドレイン電流の変化と、次いで、第一ゲート電極31のゲート電圧を下げっていった場合のドレイン電流の変化とが異なるヒステリシス特性を有するものとなっている。そして、このようなDGメモリTF₃T₃5においては、トラップ領域にトラップされたキャリアの有無やキャリアの極性等により、第一ゲート電極31のゲート電圧が同じでも、ドレイン電流が流れる場合と流れない場合が生じるようになっていく。

【0063】例えば、DGメモリTF₃T₃5をnチャネルとし、トラップ領域に電子が蓄積している場合には、トラップ領域に蓄積された電子の電界によりチャネル領域に正孔が誘起され、第一ゲート電極31にゲート電圧を印加した場合に、このゲート電圧がチャネル形成が可能なしきい値電圧より僅かに高くても、トラップ領域に蓄積している電子の電界に相殺されて、チャネル領域にドレイン電流を流すことが可能な連続したチャネルが形成されず、ドレイン電流が流れないことになる。

【0064】一方、トラップ領域に正孔が蓄積している場合には、トラップ領域に蓄積した正孔の電界によりチャネル領域に電子が誘起され、第一ゲート電極31にゲート電圧を印加した場合に、このゲート電圧がチャネル形成が可能なしきい値電圧より僅かに低くても、トラップ領域に蓄積した正孔との相殺作用により、チャネル領域にドレイン電流を流すことが可能な連続したチャネルが形成され、ドレイン電流が流れることになる。従って、トラップ領域における蓄積されたキャリアの有無及び極性により、第一ゲート電極31に同じレベルのゲート電圧を印加しても、ドレイン電流が流れてE_L素子が発光する場合と、ドレイン電流が流れずにE_L素子が発光しない場合がある。

【0065】また、トラップ領域へのキャリアの蓄積方法は、例えば、ソース・ドレイン間に+10Vの電位差の状態では第一ゲート電極を0Vとして、第二ゲート電極に正のゲート電圧を印加した場合に、nチャネルが形成され、ソース領域及びドレイン領域を形成するn⁺層からキャリア領域に電子が移動し、該電子がトラップ領域にトラップされる。この場合、可視光の入射にかかわらず、比較的短時間で電子は蓄積される。また、この状態でキャリア領域に可視光を照射すると、第二ゲート電極に負のゲート電圧を印加した場合に、キャリア領域に光の照射により正孔・電子対が生ずるとともに、この正

孔-電子対の電子が上記n⁺層からなるソース領域及びドレイン電極に移動し、正孔がトラップ領域に取り込まれて上述の電子と置換され、さらに、正孔が蓄積する。また、トラップ領域への電子の蓄積に際しては、キャリア領域に光を照射するものとしても良い。

【0066】次に、図10及び図11を参照して、自発光表示装置におけるE_L素子の駆動方法を説明する。なお、このE_L素子の駆動においては、横（行）方向に一行分選択された各画素のDGメモリTF₃T₃5にE_L素子の発光、非発光を示すデータを書き込む、すなわち、DGメモリTF₃T₃5にトラップ領域に正孔もしくは電子を蓄積させる書き込み工程と、全画素において、DGメモリTF₃T₃5に記憶された発光、非発光のデータに基づいて表示を行う表示工程とを繰り返し行うようになっている。また、書き込み工程を行う度に、データの書き込みを行う行を一行分ずつずらしていくようになっており、最終的に全行の画素のDGメモリTF₃T₃5にデータを書き込むようになっており、このようにして一フレーム分のデータの書き込みと表示が行われるようになっている。

【0067】そして、上記データの書き込み工程においては、選択された横一行の画素に沿って配線された選択ライン1（ここではアドレスnの選択ライン1）に+3.5Vの電圧を印加し、他の行列に沿って配線された選択ライン1（ここではアドレスn+1等のアドレスn以外の選択ライン）には、電圧は0Vとする。そして、選択された横一行の画素に対応する選択ライン1にアドレス電圧を印加することにより、横一行の画素の選択ライン1に接続されたDGメモリTF₃T₃5の第一ゲート電極にアドレス電圧が印加される。

【0068】また、選択された選択ライン1に印加するアドレス電圧は、トラップ領域にチャネルの形成を阻害するキャリア（ここでは、電子）が蓄積されていても、ドレイン電流を流すことが可能な高い電圧（例えば、ここでは+3.5V）とする。また、各画素のDGメモリTF₃T₃5のドレイン電極33が接続されたE_L電源ライン14には、常時電圧（ここでは、例えば、+10V）が印加されているものとする。これにより、選択ライン1に接続された第一ゲート電極31にドレイン電流を流すことが可能な電圧が印加されるので、DGメモリTF₃T₃5のソース電極34に接続された第一〜第三E_L素子11、12、13に電流が流れ、選択された横一行の画素において、第一〜第三E_L素子11、12、13がアドレス発光する。

【0069】そして、第一〜第三E_L素子11、12、13がアドレス発光することにより、DGメモリTF₃T₃5のチャネル領域に光が照射され、上述のようにチャネル領域に正孔-電子対が発生することになる。ここで、各画素の縦の各列毎に配線されたデータライン2に、上記横一行の各画素の発光、非発光のデータに基づ

いて電圧が印加される。すなわち、アドレスが n の選択ライン1に接続された横一行の画素の一つの画素（例えば m 番目の画素）を発光を維持させない場合には、その画素が接続されたデータライン2に正の電圧（ここでは、例えば、 $+2.0V$ ）を印加する。

【0070】また、他にアドレスが n の選択ライン1に接続された横一行の画素の一つの画素（例えば、 $m+1$ 番目の画素）を発光を維持させる場合には、その画素が接続されたデータライン2に負の電圧（ここでは、例えば、 $-2.0V$ ）を印加する。すなわち、横一行の各画素において、その画素を発光させるか否かのデータに基づいて、各画素が接続されたデータライン2に正の電圧もしくは負の電圧を印加する。

【0071】そして、データライン2は、DGメモリTFT35の第二ゲート電極32に接続されており、上述のように第一～第三EL素子11、12、13が発光してDGメモリTFT35のチャンネル領域に光が照射されて正孔-電子対が生じた状態2、第二ゲート電極32に電圧が印加された場合には、その電圧が正の場合に、DGメモリTFT35のトラップ領域に電子が蓄積し、その電圧が負の場合にはDGメモリTFT35のトラップ領域に正孔が蓄積されることになる。

【0072】そして、上述のように選択された一つの選択ライン1に接続された各画素の各画素において、それらのDGメモリTFT35のトラップ領域に電子もしくは正孔が蓄積された段階で書き込み工程を終了し、表示工程となる。そして、表示工程においては、全ての選択ライン1に、上述の低い負の電圧より低い電圧、すなわち、DGメモリTFT35のトラップ領域にトラップされたキャリアの移動のキャリアの極性により、ドレイン電流が流れる場合と流れない場合が生じる電圧（ここでは、例えば、 $+1.0V$ ）を印加される。

【0073】EL電源ライン2には、上述のように常時 $+10V$ の電圧が印加された状態とされ、また、このとき各データライン1の電圧は $0V$ となる。そして、上述の選択された横一行の画素においては、それらの画素のDGメモリTFT35のトラップ領域に蓄積されたキャリアの極性に基づいて発光もしくは非発光の状態となる。

【0074】例えば、図2に示すように電子がトラップ領域に蓄積された選択ライン1のアドレスが n で、データライン2が m 番目の画素において、そのDGメモリTFT35のトラップ領域に電子が蓄積しているのを、上述のように選択ライン1の第一ゲート電極31に低い電圧が印加されてから、トラップ領域に蓄積された電子の電界の影響によりチャンネル領域に連続した n チャンネルが形成されず、ドレイン電流が流れる状態となり、第一～第三EL素子11、12、13は発光状態となる。

【0075】一方、上述のように正孔がトラップ領域に蓄積された選択ライン1のアドレスが n で、データライン2が $m+1$ 番目の画素において、そのDGメモリTFT

10

20

30

40

50

T35のトラップ領域に正孔が蓄積しているのを、上述のように選択ライン1から第一ゲート電極31に低い電圧が印加された場合に、トラップ領域に蓄積された正孔の電界との相互作用により、チャンネル領域に連続したチャンネルが形成され、ドレイン電流が流れた状態となり、第一～第三EL素子11、12、13は発光を維持することになる。

【0076】また、上述の書き込み工程において、データが書き込まれた横一行の画素以外の他の行の画素においては、最後に書き込まれたデータに基づいて、一列の各画素が発光もしくは非発光の状態となる。例えば、アドレスが $n+1$ の選択ライン1に接続された横一行の各画素においては、前のフレームにおいて書き込まれたデータ（トラップするチャージが正孔又は電子）に基づいて発光もしくは非発光の状態となる。また、アドレスが $n-1$ の選択ライン1に接続された横一行の各画素においては、上述の書き込み工程の前の回の書き込み工程においては書き込まれたデータに基づいて発光もしくは非発光の状態となる。

【0077】そして、以上のような書き込み工程と表示工程とを繰り返すとともに、書き込み工程毎に書き込みを行う横一行の画素を一行ずつずらした場合には、1フレーム分の表示において、画素の横の行の数だけ表示が行われる。すなわち、点滅した状態で表示が行われることになるが、点滅速度が有る程度の速度以上となれば、人間の目には点滅を認識することができず、連続して画像が表示された状態に見えることになる。また、書き込み工程の度に、横一行の画素が全ての光ることになるが、高デューティ駆動で横一行の画素がアドレス時間が極めて短ければ、やはり人間の目で認識することができず、書き込み工程により表示に大きな影響がでることがない。

【0078】従って、上述のようにアクティブ素子としてDGメモリTFT35を用いても連続した表示が可能となる。そして、第三例の自発光表示装置においては、第一例の自発光表示装置と比較してその駆動動作が上述のように少し異なっているが、第一例の場合と同様の効果、すなわち、アクティブ素子における損失電力の低減による全消費電力の低減や、EL素子における静電容量の低下に基づく高速応答・正確な輝度制御の実現等の効果を奏することができる。

【0079】さらに、第三例の自発光表示装置によれば、従来のようにアクティブ素子として、一画素毎に、選択トランジスタ3と駆動トランジスタ5との二つを用いる必要がなく、一つのDGメモリTFT35を用いれば良いので、自発光表示装置の構成の簡略化並びに発光領域の面積拡大を図ることができる。すなわち、アクティブ素子の数を $1/2$ にすることが可能となり、自発光表示装置の製造時における歩留まりの向上等を図ることができる。

【0081】

20

30

40

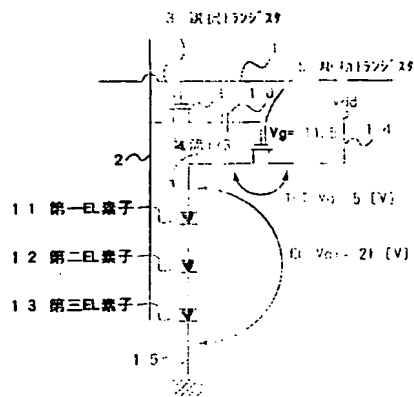
【図2】第一例の平面構造の平面構造を説明するための非対称な平面構造

【符号の説明】

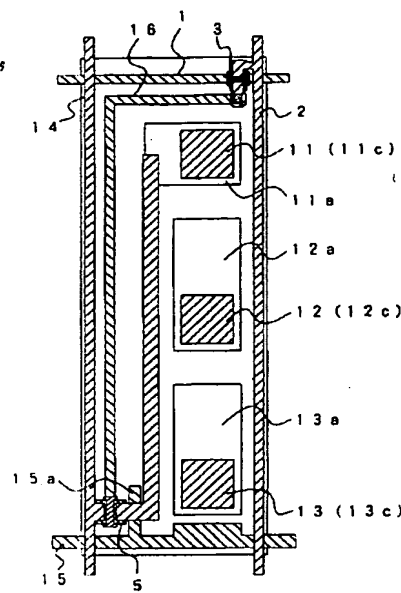
13b カソード

3.5 DGメモリTFT (アクティブ素子、メモリ性を有するトランジスタ)

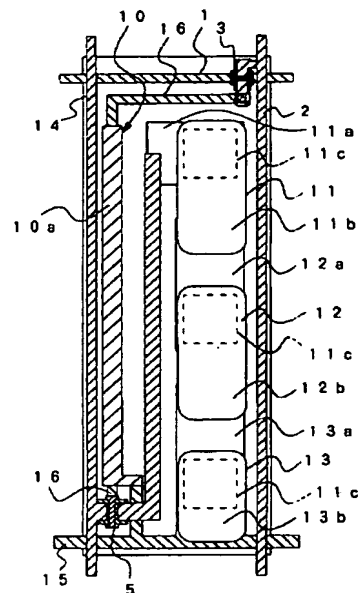
【図1】



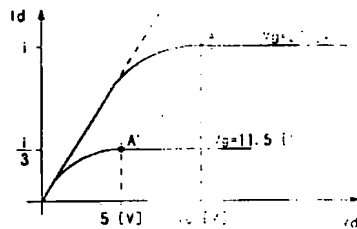
【図2】



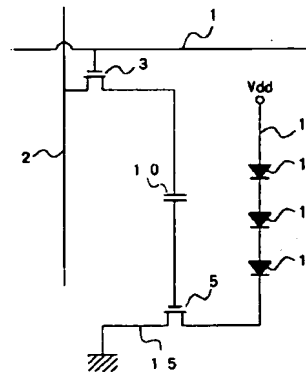
【図3】



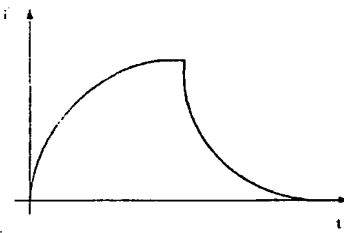
【図5】



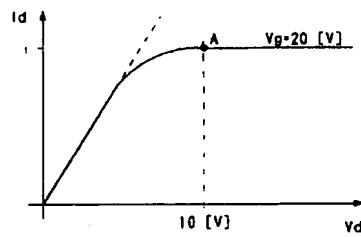
【図6】



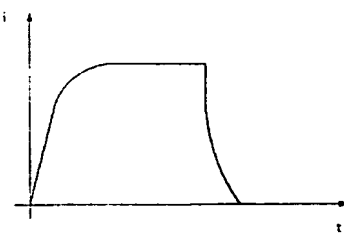
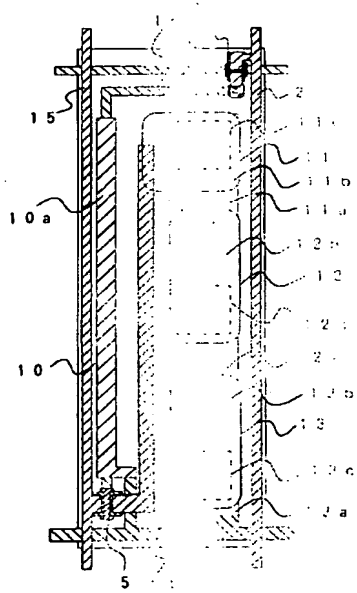
(B)



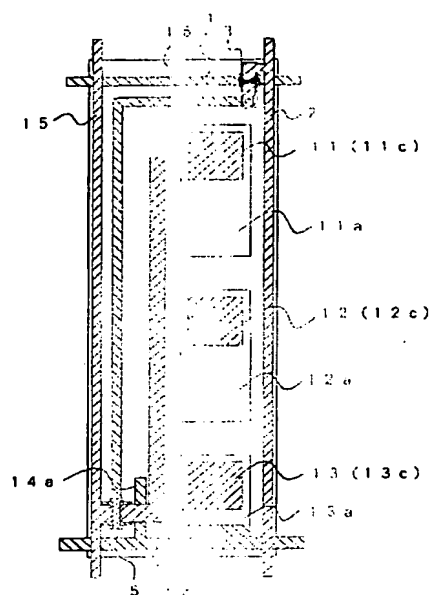
【図14】



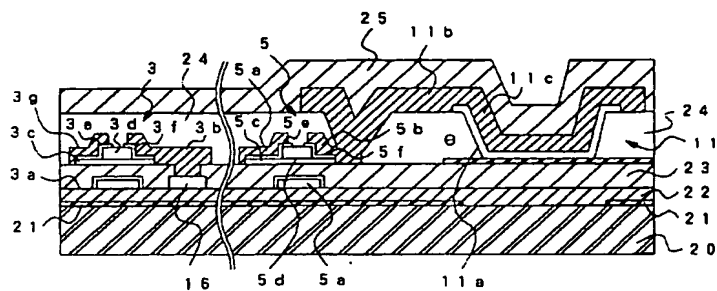
【図8】



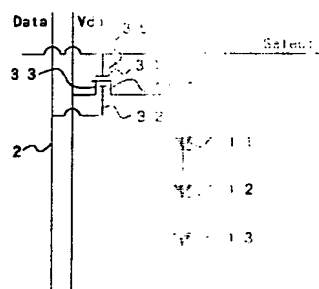
12472



【図9】

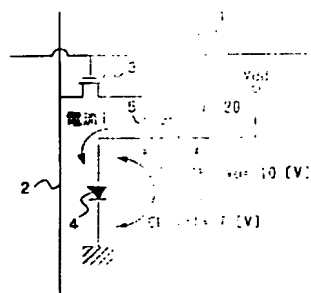
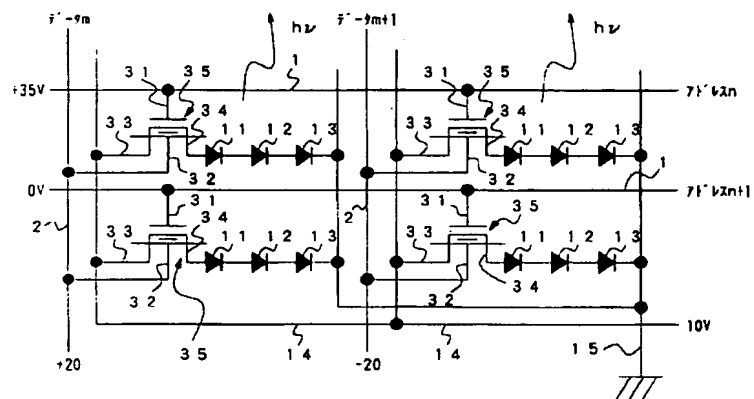


【例 1】

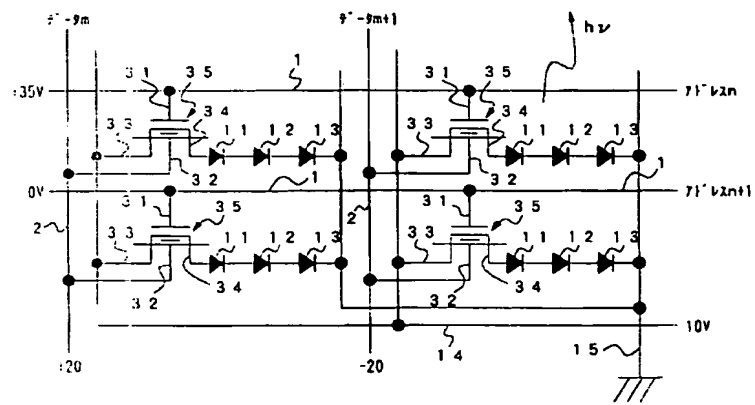


【图 1-3】

【圖 1 1】



【図12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☒ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.